

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2000年12月28日 (28.12.2000)

PCT

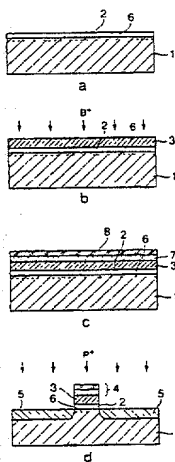
(10) 国際公開番号
WO 00/79601 A1

- (51) 国際特許分類: H01L 29/78
(21) 国際出願番号: PCT/JP00/03968
(22) 国際出願日: 2000年6月16日 (16.06.2000)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願平11/177078 1999年6月23日 (23.06.1999) JP
(71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo (JP).
(72) 発明者: および
(75) 発明者/出願人 (米国についてのみ): 瀧澤照夫 (TAKIZAWA, Teruo) [JP/JP]. 島田浩行 (SHIMADA, Hiroyuki) [JP/JP]; 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano (JP).
(74) 代理人: 稲葉良幸, 外 (INABA, Yoshiyuki et al.); 〒105-0001 東京都港区虎ノ門三丁目5番1号 37森ビル 803号室 TMI総合法律事務所 Tokyo (JP).
(81) 指定国 (国内): JP, KR, US.
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE THEREOF

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device including an insulated-gate field-effect transistor has a gate electrode whose work function is well controlled to be close to the intrinsic mid-gap energy of silicon to reduce impurity concentration in the channel. The insulated-gate field-effect transistor thus prevents the carrier mobility from decreasing and provides higher current-carrying capacity. The gate electrode has a multi-layer structure including a p-type polycrystalline or single-crystal germanium film (3) and a low-resistivity conductor film (4).

(57) 要約:

絶縁ゲート電界効果トランジスタを備えた半導体装置であって、ゲート電極の仕事関数を制御性良くシリコンの真性ミッドギャップエネルギーに近づけ、チャネル内の不純物の低濃度化を図る。これによりキャリア移動度の劣化を防ぎ、高い電流駆動能力を備えた絶縁ゲート電界効果トランジスタを得る。ゲート電極をp形多結晶あるいは単結晶ゲルマニウム膜3と低抵抗導電膜4の多層構造とする。

WO 00/79601 A1